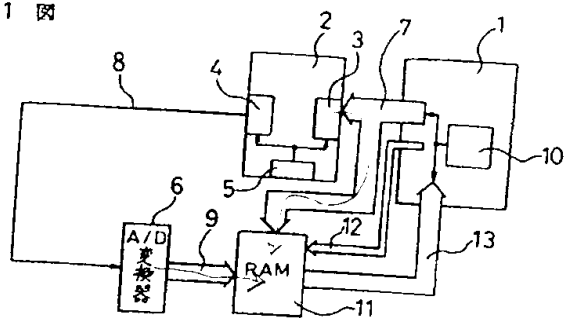


第 1 図



- 1: テスタ
- 2: DUT
- 3: DUTのD/A変換部
- 4: DUTの出力部
- 5: DUTのCPU
- 6: テスタから入力するデジタル信号
- 7: 変換されたアナログ信号
- 8: A/D変換されたデジタル信号
- 9: テスタのCPU
- 10: RAMの入出力制御部
- 11: RAMから出力されたデジタル信号
- 12: RAM
- 13: RAMから出力されたデジタル信号

第 2 図

